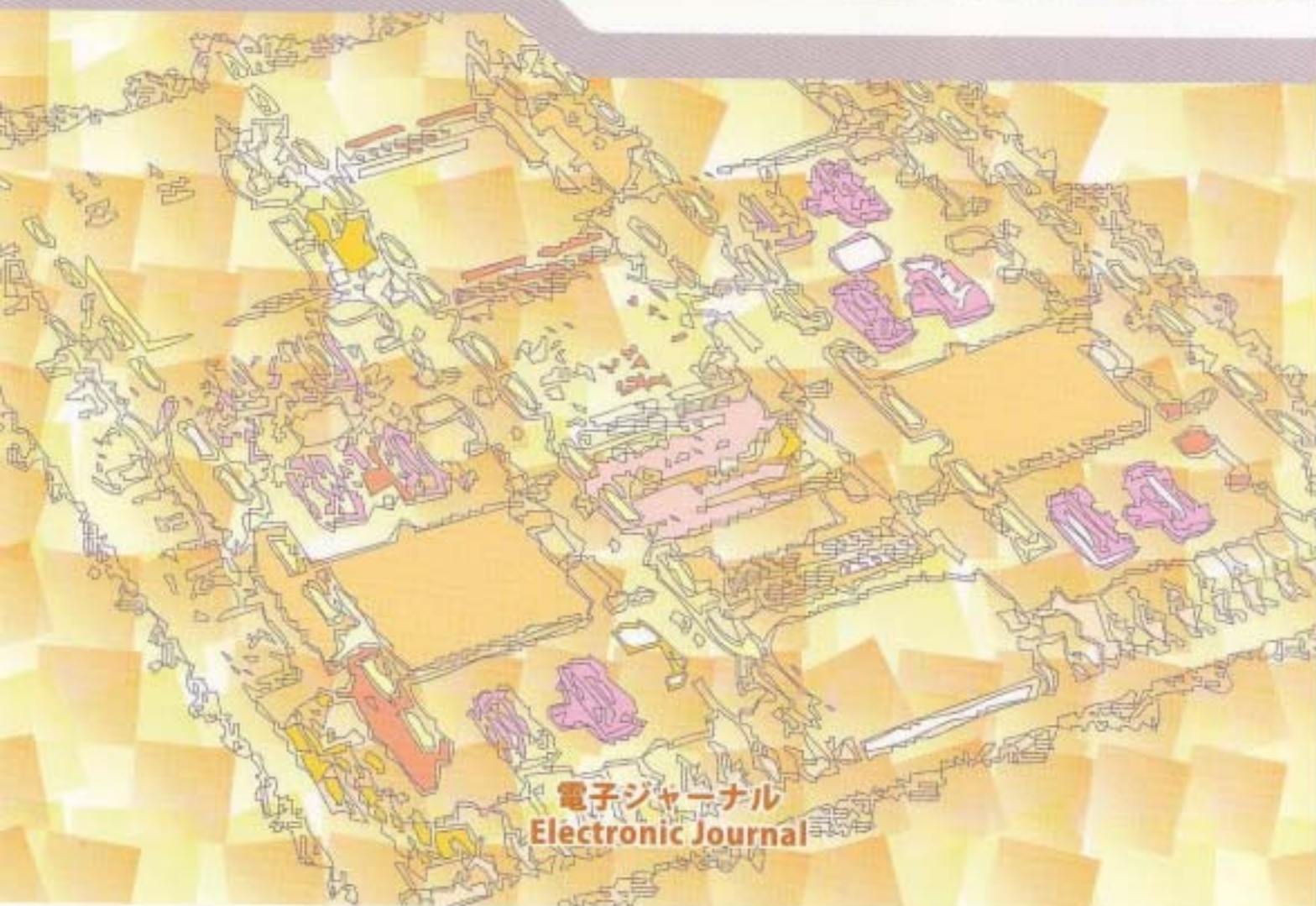


Electronic Journal 別冊

2005 システムLSI技術大全
System LSI Technology Outlook



電子ジャーナル
Electronic Journal

マグナデザインネットのIPとシステム応用例

1. はじめに

マグナデザインネットは、2001年に設立したデジタル通信用LSI関連のスペシャリスト企業である。デジタル通信システムの中で特にOFDM (Orthogonal Frequency Division Multiplex) を核として、各種IP・システムボード・LSIを提供している。

本稿では、加速的な拡大が予想される地上デジタル

放送関連およびこれにかかわるダイバーシティ関連を中心に、当社の製品概要を紹介する。

2. アプリケーション対応製品

当社は、デジタル通信分野において世界トップクラスのLSI設計技術力を駆使し、独自の設計開発で最高性能を実現した各種製品を市場に提供している。以下にその概要を示す。

①国内地上デジタル放送関連

IP、システムボード、LSI製品をラインナップ

- ・13セグメント、ハイビジョンタイプ (コード名：マーキュリー)

- ・1セグメント、部分受信タイプ (コード名：ペガサス)

②欧州仕様などの海外方式地上デジタル放送関連

IP、システムボードを開発中

③ダイバーシティ関連

IP、システムボード、LSI製品を開発中 (コード名：ポセイドン)

表1 国内地上デジタル関連の製品一覧

OFDM Receiver Chip			
Part No.	Spec	Features & Application	Schedule
OFDM-DTV-JP-1 ⁽¹⁾	ISDB-T	Japan Terrestrial DTV, 13 Seg., High Vision	Now
OFDM-DTV-JP-2 ⁽²⁾	ISDB-T	Japan Terrestrial DTV, 1 Seg., Low Power	Now
OFDM Receiver & RF Tuner System Board			
Part No.	Features		Schedule
OFDM-DTV-JP1-FPGA nonA/A/B	FPGA Board (13 Segment)		Now
OFDM-DTV-JP1-RF	Tuner Board, 100×170mm (13 Segment)		Now
OFDM-DTV-JP2-FPGA	FPGA Board, 180×250mm (1 Segment)		Now
OFDM-DTV-JP2-RF	Tuner Board, 120×150mm (1 Segment)		Now
IP (RTL) (ISDB-T, 1seg<-1>&13 seg<-13>)			
Part No.	Features		Schedule
PT-FET-JP1, 2	FFT: 512/1K (1 Seg.), 4k/8k (13 Seg.)		Now
PT-TMC-JP-1, 2	TMCC decoder: Difference-set cyclic code (272,190)		Now
PT-RSD-JP-1, 2	Reed-Solomon Dec.: RS (204, 188) GF256		Now
PT-VTD-JP-1, 2	Viterbi Dec.: (G1, G2)=(171, 133), K=7, CR=1/2, 2/3, 3/4, 5/6, 7/8		Now
PT-TSB-JP-1, 2	TS buffer, Symbol to TSP reformation		Now
IP (C Source)			
Part No.	Spec	Features & Application	Schedule
OFDM-DTV-JP1-CO	ISDB-T	13 Segment, High Vision	Now
OFDM-DTV-JP2-CO	ISDB-T	1 Segment, Portable/PDA etc.	2005/Q1

注1: These are joint development products with MegaChips LSI Solutions Corp.



図1 地上デジタル放送の受信機構構成

3. プロダクトの説明

3.1 国内地上デジタル放送用 OFDM復調器

図1に地上デジタル放送用受信機構構成を示す。図1(a)は、通常の1アンテナ受信構成である。放送信号のアナログ電波がアンテナからチューナに伝送され、OFDM復調器でデジタル信号に再生され、画像再生用MPEGデコードで処理され、ブラウン管や液晶画面に映像が出力される。OFDM仕様は

第10章 マグナデザインネットのIPとシステム応用例

表2 海外方式地上デジタル関連の製品一覧

DVB (Europe Type) Terrestrial DTV Receiver System Board			
Part No.	Spec	Features & Application	Schedule
DVB-DTV-EU1-FPGA	DVB-T	FPGA Board, 150×210mm	2005/Q3
DVB-DTV-EU2-FPGA	DVB-H	FPGA Board, 150×210mm	2005/Q3
DVB-DTV-EU3-FPGA	Eureka147	FPGA Board, 150×210mm	TBD
DMB (Korea Type) Terrestrial DTV Receiver System Board			
Part No.	Spec	Features & Application	Schedule
DMB-DTV-KO1-FPGA	DMB-T	FPGA Board, 150×210mm	TBD
VSB (USA Type) Terrestrial DTV Receiver System Board			
Part No.	Spec	Features & Application	Schedule
VSB-DTV-US1-FPGA	VSB	FPGA Board, 150×210mm	TBD
IP (Full Chip, RTL/Net-List)			
Part No.	Features		Schedule
DVB-DTV-EU1-NL, RTL	DVB-T		2005/Q3
DVB-DTV-EU2-NL, RTL	DVB-H		2005/Q3
IP (C Source)			
Part No.	Features		Schedule
DVB-DTV-EU1-CO	DVB-T		2005/Q3
DVB-DTV-EU2-CO	DVB-H		2005/Q3

DTV-JP-2」の1セグメントの部分受信に対応した2機種を提供している。双方ともISDB-Tに準拠したものであり、独自の高性能アルゴリズムを採用し、移動体での受信性能を最大限に強化している。

当社で実施した市街地および郊外での移動実験では、実使用において安定した受信性能の結果を得ている。当社は、提携会社¹⁾との共同開発にてこれらOFDM復調器のLSI化を行っている。LSI製品は、2004年初頭からサンプル出荷しており2005年から本格的な生産を開始する。写真1は、OFDM Receiver Chipの各種パッケージ外観写真

である。

OFDM Receiver & RF Tuner System Boardは、実機評価用に13セグメントおよび1セグメントのチューナ部とOFDM部のシステムボードを2002年第3四半期から市場に供給している。

また、IP (RTL)として、「FFT」や「Reed Solomon Dec.」、「Viterbi Dec.」を提供している。さらに、IP (C Source)を開発しており、一部提供を開始している。

これらの各IPは、いずれも各種デジタル通信機器やLSIのキーテクノロジーとなるものであり、有効に活用することで、各システムやLSI製品の開発期間が大幅に短縮される。

3.2 海外方式地上デジタル関連の製品

表2は、海外方式地上デジタル関連の製品一覧である。

欧州仕様 (DVB) は、標準のDVB-Tと携帯機器対応のDVB-Hに関して、システムボード・IP (Full Chip, RTL/Net-List)・IP (C Source)の開発を計画している。IP (Full Chip, RTL/Net-List)に関しては、RTLデータとネットリストの提供が可能である。

また、携帯機器用途の別仕様である欧州Eureka147については、開発検討中である。さらに、韓国仕様 (DMB-T)と米国仕様 (VSB)についても開発検討中である。写真2は、海外方式システムボードの外観写真である。欧州仕様 (DVB)、韓国仕様 (DMB-T)、米国仕様 (VSB)のシステムボードである。

今後も市場の要求に合わせて、海外方式の各製品を充実させていく予定である。



写真1 OFDM Receiver Chipの各種パッケージ外観写真

ISDB-T (Integrated Service Digital Broadcasting Terrestrial)に準拠しており、OFDM復調器のデータ出力は、MPEGのTSP (Transport Stream Packet)に対応している。

表1は、国内地上デジタル関連の製品一覧である。

OFDM Receiver Chipは、「OFDM-DTV-JP-1」の13セグメントの高画像ハイビジョンの受信対応と「OFDM-

表3 ダイバーシティ関連の製品一覧

AADC Chip (Adaptive Array Direction Controller)			
Part No. (Code Name)	Spec	Features & Application	Schedule
AADC-M1 (Poseidon M) ⁽¹⁾	Special	4 Input, High Performance	Now
AADC-H1 (Poseidon H)	Special	2 Input, Low Power	2005/Q2
AADC System Board			
Part No.	Spec	Features & Application	Schedule
AADC-M1-FPGA ⁽¹⁾	Special	4 Input, High Performance	2005/Q2
AADC-H1-FPGA	Special	2 Input, Low Power	2005/Q2
AADC-S1-FPGA	Special	Noise Protection	TBD
IP (Full Chip, Net-List)			
Part No.	Spec	Features & Application	Schedule
AADC-H1-NL	Special	2 Input, Low Power	2005/Q2

注1: 限定顧客向け製品

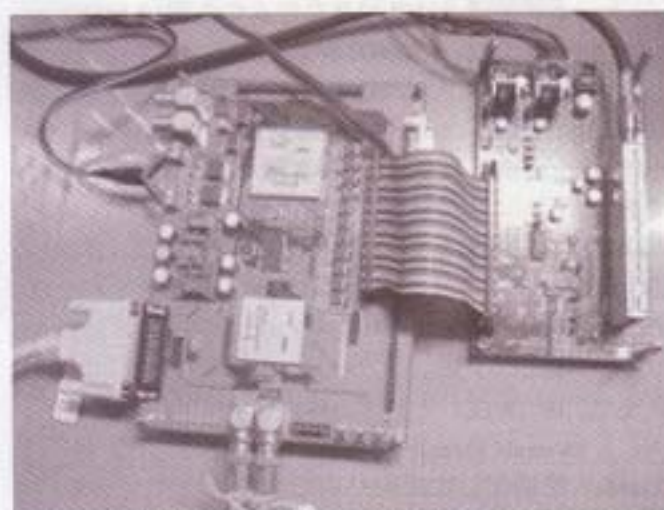


写真2 海外方式システムボード外観写真

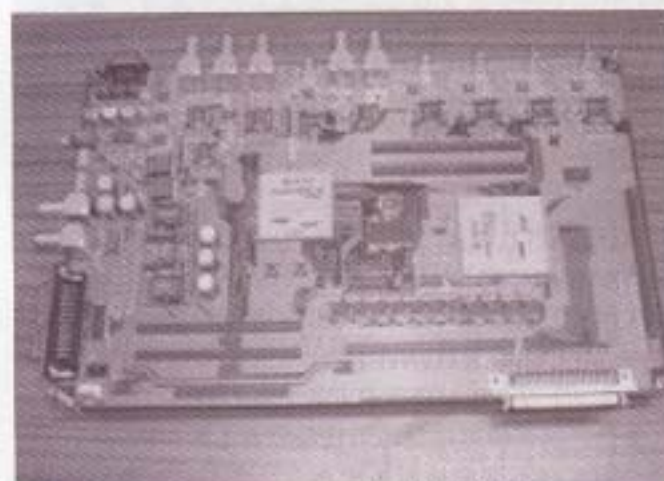


写真3 ダイバーシティシステムボード外観写真

3.3 ダイバーシティ関連の製品

図1(b)は、当社のダイバーシティ構成である。放送信号のアナログ電波が複数アンテナで受信され、個々のチューナを介して、「Adaptive Array Direction Controller (AADC)」で合成処理される。AADCは、アダ

プティブ指向性制御を行い最適な電波信号を検出して、その合成処理信号をOFDM復調器に送る。OFDM復調器でデジタル信号に再生され、画像再生用MPEGデコーダで処理され映像が出力される。

表3は、ダイバーシティ関連の製品一覧である。

AADC Chipは、「AADC-M1」(コード名:ポセイドンM)の4入力仕様と「AADC-H1」(コード名:ポセイドンH)の2入力仕様

がある。4入力仕様は、高画像ハイビジョン受信対応の高性能版であり、2入力仕様は低消費電力版の携帯機器対応版である。双方とも独自の高性能アルゴリズムを採用し、特に高速移動体での受信性能を最大限に強化している。

当社で実施した市街地や郊外および高速道路での移動実験では、通常の1アンテナ受信構成に比べて、格段に受信性能が向上するという結果を得ている。LSI製品は、2004年第4四半期から限定顧客向けにサンプル出荷中である。

システムボードは、AADC-M1とAADC-H1に加えて、「AADC-S1」というノイズプロテクションを強化したものを計画している。写真3は、これらのダイバーシティシステムボードの外観写真である。

また、IP (Full Chip, Net-List) として、「AADC-H1-NL」を今度提供する予定である。このIPを用いることで、OFDMなどの他機能との合成を行い、高性能な複合LSIを開発することができる。

3.4 サービスする提供物

各IPは、合成可能なRTLデータとネットリストで提供できる。

提供物は以下の通りである。

- ①仕様書 (ファンクション、タイミングチャートなど)
- ②ネットリストおよびRTLデータ検証のテストベクタ
- ③テスト用ベクタ (オプション)、システムボード (オプション)

4. おわりに

本稿では、マグナデザインネットの製品戦略を紹介した。当社は、創業以来、デジタル通信用LSIに関連

第10章 マグナデザインネットのIPとシステム応用例

に不可欠な各種IP、システムボード、LSI製品を市場に提供し続けている。また、顧客要求に応じたカスタム設計開発も行っている。

今後は、国内地上デジタル関連のOFDM製品に加えて、海外方式地上デジタル関連の製品、およびそれらに係るダイバーシティ関連の製品をラインナップしていく。また、次世代デジタル通信用LSIの高性能化・多機能化を実現するために必要なIP・システムボー

ド・LSIを精力的に開発し、最高性能を実現した各種製品を市場に提供していく。

マグナデザインネットのホームページ<http://www.MagnaDesignNet.com>も参照されたい。

注1：地上デジタル放送用OFDM復調LSI<日本仕様>は、無メカチップスLSIソリューションズとの共同開発品である。